

Requested Patent: JP2130962A
Title: THIN-FILM TRANSISTOR ;
Abstracted Patent: JP2130962 ;
Publication Date: 1990-05-18 ;
Inventor(s): AKIYAMA ZENICHI ;
Applicant(s): RICOH CO LTD ;
Application Number: JP19880285130 19881111 ;
Priority Number(s): ;
IPC Classification: H01L29/784 ; H01L21/336 ;

Equivalents:

ABSTRACT:

PURPOSE: To improve characteristics such as ON/OFF current ratio, response speed and the like by utilizing an insulating substrate having trenches in the regions where source and drain are to be formed so that a channel region is formed to have a thickness smaller than that of the source and drain regions.

CONSTITUTION: Recessed trenches are provided in the parts of a flat insulating substrate where source and drain are to be formed. A poly-Si film 2 is then formed on the substrate 1. After the surface thereof is flattened, the layer 2 is formed into an island-shaped poly-Si active layer 2'. Then, an SiO₂ film is formed and poly-Si is further deposited. A gate insulating layer 4 and a gate electrode 5 are formed. Subsequently, dopant ions are diffused in the active layer 2' so that source and drain regions 2a, 2b are formed. A channel region 3 formed between the regions 2a and 2b has a thickness smaller than that of the regions 2a and 2b. Then, an interlayer insulating film 6 is formed and contact holes are opened. Metallic electrodes 7 are formed in the contact holes. The thin-film transistor thus produced is allowed to have improved characteristics such as ON/OFF current ratio, response speed, and the like.

⑫ 公開特許公報(A)

平2-130962

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月18日

H 01 L 29/784
21/3368624-5F
8624-5F

H 01 L 29/78

3 1 1 S
P

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 薄膜トランジスター

⑮ 特 願 昭63-285130

⑯ 出 願 昭63(1988)11月11日

⑰ 発 明 者 秋 山 善 一 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑲ 代 理 人 弁 理 士 佐 田 守 雄 外1名

明 細 書

1. 発明の名称

薄膜トランジスター

2. 特許請求の範囲

1. 絶縁基板上に、ソース領域、ドレイン領域及びチャンネル領域に区分けされたpoli-Si活性層を有する薄膜トランジスターにおいて、ソース及びドレインの両領域相当部分に溝を有する絶縁基板を用いてチャンネル領域の厚さをソース及びドレイン両領域よりも薄くしたことを特徴とする薄膜トランジスター。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は光センサー、アクティブマトリックス型液晶表示装置等の駆動用として有用な薄膜トランジスターに関する。

〔従来技術〕

非単結晶Si(poli-Si又はa-Si)を半導体材料として使用した薄膜トランジスター(基本構造は石英板のような絶縁基板上に、ソース領域

ドレイン領域及びチャンネル領域に区分けされた非単結晶Si活性層を有するもの)(以下TFETという)は製造工程が簡単なこと、素子分離が容易に行なえること、更に機能素子と同一基板に組込むことにより軽薄短小化が可能なこと等の理由により各種デバイスへの応用が急速に進んでいる。その代表的な具体例を第1図(図中1は絶縁基板、2a、2bはソース又はドレイン領域、3はチャンネル領域、4はゲート絶縁層、5はゲート電極、6は層間絶縁膜、7は金属電極)に示す。

しかしこのように非単結晶Siで作ったTFETは単結晶Siで作ったトランジスターに比べて、しきい値電圧が高く、従ってオン/オフ電流比が低く、また応答速度が遅い等の欠点がある。そこでこれらのTFET特性向上のため、従来より種々の方法が提案されている。その一つとして非単結晶Si活性層全体を薄層化(700Å以下)するという方法がある。しかしこの方法ではソース、ドレイン両領域と金属電極とのコ

ンタクト抵抗が増大するという問題が起こる。その対策としてチャンネル領域の厚さをソース・ドレイン両領域よりも薄くするという方法も提案されている。具体的には次のようなチャンネル領域の薄層化法が知られている。

- 1) 基板上のソース・ドレイン領域相当部分に予め非単結晶 Si を堆積、パターン化する (特開昭61-252667)。
- 2) 基板上のチャンネル領域相当部分以外の部分に窒化シリコン等を堆積、パターン化した後、露出部分をエッチングする (特開昭61-48975)。
- 3) 基板上のチャンネル領域相当部分以外の部分に窒化シリコンを堆積、パターン化した後、露出部分を熱酸化して SiO_2 薄膜を形成する (特開昭59-205761)。

しかしこれらの方法は各々、通常プロセスの他に、非単結晶 Si や窒化シリコンの堆積工程及びフォトリソグラフィ・エッチング工程が必要である上、活性層の熱酸化によるゲート絶

縁層形成の際、活性層の全面又は限定部分 (前記3) の方法の場合) を熱酸化するため、酸化後の活性層の厚さはソース領域、ドレイン領域及びチャンネル領域共に等しくなる。その結果、従来のチャンネル領域の薄層化法ではソース及びドレイン両領域の抵抗が増大し、更にコンタクトホール形成が困難となる上、コンタクト抵抗も増大、不安定化して T F T 特性が逆に制約されるという欠点があった。

〔発明が解決しようとする課題〕

本発明の目的は従来技術における以上の欠点を全て除去し、特定部分に溝を有する絶縁基板を用いてチャンネル領域の厚さを選択的に薄層化することにより、製造工程を簡略化すると共にソース及びドレイン両領域の抵抗を低下せしめて T F T 特性を向上し更にコンタクトホール形成を容易にし、且つ T F T 特性を限定することなくコンタクト抵抗を低下、安定化せしめた T F T を提供することである。

〔発明の構成・動作〕

本発明の T F T は絶縁基板上に、ソース領域、ドレイン領域及びチャンネル領域に区分けされた poly-Si 活性層を有する T F T において、ソース及びドレインの両領域相当部分に溝を有する絶縁基板を用いてチャンネル領域の厚さをソース及びドレイン両領域よりも薄くしたことを特徴とするものである。

以下、本発明を第2図に従って説明する。

本発明の T F T と従来品との構造上の差は第1図と第2図との比較から判るように、従来品では活性層の厚さが均一 (同一) であるのに対し、本発明では活性層の厚さが不均一で、チャンネル領域3の厚さがソース及びドレイン両領域2a、2bよりも薄くなっている。

次に第2図のような T F T を作製する方法を第3図の製造工程に従って説明する。

まず表面平坦な絶縁基板、例えば石英板にフォトリソグラフィ・エッチングを行なってソース及びドレイン両領域相当部分に深さ1000Åの凹形溝を設ける。次にこの基板1上に poly-

Si を減圧 C V D 法により基板温度630℃で2000Å厚に堆積せしめて poly-Si 膜2を形成する (第3図 (a))。

次にこの poly-Si 膜2の表面をエッチバック法により下記条件で平坦化した後、フォトリソグラフィ・エッチング法により島状の poly-Si 活性層2'を形成する (第3図 (b))。なおエッチバック法による平坦化及びエッチングによる島状化は同時に行なってもよい。但しこの場合は第3図 (d) (第2図に同じ) の構造とは若干異なってくる。

エッチバックの条件:

R F 出力	0.26 W/cm ²
ガス圧	4.7 P a
ガス流量	28 S C C M
原料ガス	C F ₄ , H ₂
混合比	H ₂ /(C F ₄ + H ₂) = 30 %
使用レジスト	A Z 1350 B

次にこの基板を1050℃の乾燥酸素中で熱酸化処理して800Å厚の SiO_2 酸化膜を形成し、引

続きその上にpoly-Siを減圧CVD法で3000Å厚に堆積せしめた後、セルフアライン技術でゲート絶層4及びゲート電極5を形成する。引続き活性層2'内に硼素、燐等の不純物元素をイオン打込みにより拡散導入してソース領域及びドレイン領域2a、2bを形成する(第3図(c))。なお3はチャンネル領域である。この不純物拡散は、PSG(燐ガラス)又はAsSG(砒素ガラス)(以上はNチャンネルトランジスタ作製の場合)、BSG(硼素ガラス)(Pチャンネルトランジスタ作製の場合)等の膜による熱拡散で行ってもよい。

以下、この基板上に減圧CVD法によりSiO₂層間絶縁膜6を形成し、コンタクトホールを開け、Al、Al合金等の電極材料の蒸着及びエッチングにより金属電極を形成すれば第2図のようなTFTが得られる(第3図(d))。〔発明の作用効果〕

以上の如く本発明によれば、ソースドレイン両領域相当部分に溝を有する絶縁基板を用いて

チャンネル領域の厚さを選択的に薄層化したので、製造工程が簡略化できる(ソース及びドレイン両領域への非単結晶Siの堆積工程、又は窒化シリコンの堆積工程が省略できる。)上、ソース及びドレイン両領域の抵抗を低下せしめてオン/オフ電流比、応答速度等のTFT特性を向上し、更にコンタクトホールの形成を容易にし、且つTFT特性を限定することなくコンタクト抵抗を低下、安定化せしめたTFTを提供することができる。

4. 図面の簡単な説明

第1図及び第2図は夫々従来及び本発明の一例の構造を示す断面図、第3図は第2図の本発明のTFTを製造するための工程図である。

- | | |
|--------------------|------------|
| 1…絶縁基板 | 2…poly-Si膜 |
| 2'…poly-Si活性層 | |
| 2a、2b…ソース領域、ドレイン領域 | |
| 3…チャンネル領域 | 4…ゲート絶縁層 |
| 5…ゲート電極 | 6…層間絶縁膜 |
| 7…金属電極 | |

